

Club des Utilisateurs de CHIP 1997

PROGRAMME

20 Novembre 1997

8:30 - 9:30 ACCUEIL

SESSION 1: Président M. Dincbas, COSYTEC (France)

Introduction par T. Creemers, Institut de Robòtica I Informàtica Industrial (Espagne),
Président du CHIP USERS CLUB 97

- 01. Current Status of COCA and PLANE, CHIP applications for Assembly Line Design & Planning
A. Chamard, Dassault Aviation (France)

10:30 - 11:00 PAUSE

SESSION 2: Président T. Cornelissens, OM Partners (Belgique)

- 02. Reconstruction of Binary Patterns in Tomography
A. Bockmayr, Max Planck Institute (Allemagne)
- 03. Constraint Based Configuration with ConBaCon
U. John, GMD First (Allemagne)
- 04. Gymnaste: Planning Nurses Time Tables
G. Weil et K. Heus, Praxim (France) et P. Chan, COSYTEC

12:30 - 14:00 DÉJEUNER

SESSION 3: Président A. Chamard, Dassault Aviation (France)

- 05. Scheduling PCB Assembly Lines
J.L. Bouquard, Ecole d'Ingénieurs en Informatique pour l'Industriel (France)
- 06. Assembly Station Scheduling
G. Laprade, Essilor (France)
- 07. A Scheduling Solution for the Glass Industry
I. Yildirim, Eczacibasi Bilgi Iletim (Turquie)

15:30 - 16:00 PAUSE

SESSION 4: Président G. Weil, UJF (France)

- 08. LOGIPLAN: Système de Planification des Entrepôts
L. Martelin, COSYTEC
- 09. Logiciel SPID: Système de Planification Interactive et Dynamique, Application à la planification des gammes de fabrication de capsules de surbouchage
J. Sandeville, Sparflex / Université J. Fourier (France)
- 10. New CHIP Modules
G. Baues, COSYTEC

19:30 - DINER

PROGRAMME

21 Novembre 1997

8:30 - 9:00 CAFÉ

SESSION 5: Président M. Fabris, ICON (Italie)

- 11. Shift Scheduling with CHIP
G. Méllili, ERG Petroli (Italie) et X. Savalle, COSYTEC
- 12. Scheduling Train Crew at North Western Trains
T. Lewins et I. Maclean, PA. Consulting (Royaume-Uni)
- 13. New CHIP V5 features
N. Beldiceanu et E. Bourreau, COSYTEC

10:30 - 11:00 PAUSE

SESSION 6: Président A. Bockmayr, MPI (Allemagne)

- 14. Esprit Project Discipl: Analysis of Needs in Debugging in CLP
M. Fabris, ICON (Italie)
- 15. Visualisation in Debugging
H. Simonis, COSYTEC
- 16. Modelling and Synthesis of Digital Circuits and Systems by Constraint Solving
K. Kuchcinski, Linkoping University (Suède)

12:30 - 14:00 DÉJEUNER

SESSION 7: Président T. Creemers, Institut de Robòtica I Informàtica Industrial (Espagne)

FORUM: Dialog between CHIP users and COSYTEC

SESSION DE DEMONSTRATIONS

Demonstrations of user applications, including:

- Scheduling Solution for Glass Industry, par EBI
- Gymnaste, par Praxim
- Constraint Based Configuration, par GMD
- Modelling & Synthesis of Digital Circuits, par Linkoping University
- Debugging Visualization, par COSYTEC
- CHIP Modules, par COSYTEC

SESSION DE FERMETURE